



# Synthèse Logique / VHDL



Structure de  
formation  
Faculté des  
Sciences

## Présentation

---

### Description

- Synthèse de contrôleur.
- Synthèse robuste et gestion d'aléas.
- Représentation et synthèse de machines synchrones.
- Langage de description/synthèse.
- Les base du langage VHDL (entité, architecture, ...).
- Descriptions comportementales et structurelles.
- Simulation (Testbench).
- Les circuits reprogrammables (CPLD, FPGA).

### Objectifs

- Maîtriser la représentation par graphe d'état d'un système.
- Synthétiser un graphe d'état (avec la notion de robustesse et de gestion des aléas)
- Rendre l'étudiant capable d'utiliser un langage de description de haut niveau (VHDL) pour décrire un circuit/système.
- Maîtriser le flot de programmation des circuits programmables (Utilisation de l'outil Vivado de Xilinx).

### Pré-requis obligatoires



Logique combinatoire et séquentielle.

---

## Informations complémentaires

CM : 12h

TP : 15h